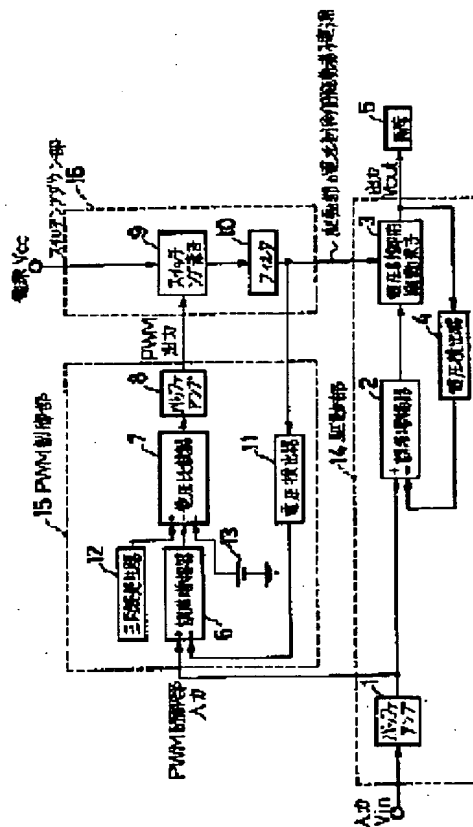


Patent number:	JP8204466
Publication date:	1996-08-09
Inventor:	OTANI YUKINORI
Applicant:	MATSUSHITA ELECTRIC IND CO LTD
Classification:	
- international:	H03F3/30; H03F3/217; H03G5/16
- european:	
Application number:	JP19950014125 19950131
Priority number(s):	JP19950014125 19950131

Abstract of JP8204466

PURPOSE: To reduce the power loss of a final stage by reducing a power supply voltage supplied to a driving circuit to an optimum value. **CONSTITUTION:** This circuit is provided with a driving part 14 for generating a voltage proportional to an input voltage V_{in} and driving a load, the switching down part 16 of a power source circuit for supplying power to the power source of the active element 3 for voltage control of the final stage of the driving part 14 and a PWM control part 15 for controlling the power source circuit of the switching down part 16 so as to turn the power supply voltage supplied to the driving circuit of the driving part 14 to a minimum voltage within a range in which an output voltage V_{out} supplied to the load 5 is not saturated corresponding to the input voltage V_{in} .



Data supplied from the **esp@cenet** database - Worldwide

This Page Blank (uspto)

(19)日本国特許庁(JP)

(12)公開特許公報 (A)

(11)特許出願公開番号

特開平8-204466

(43)公開日 平成8年(1996)8月9日

(51)Int. Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 3 F 3/30

3/217

H 0 3 G 5/16

B

審査請求 未請求 請求項の数5

O L

(全10頁)

(21)出願番号 特願平7-14125

(22)出願日 平成7年(1995)1月31日

(71)出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72)発明者 大谷 幸典

神奈川県横浜市港北区綱島東四丁目3番1号

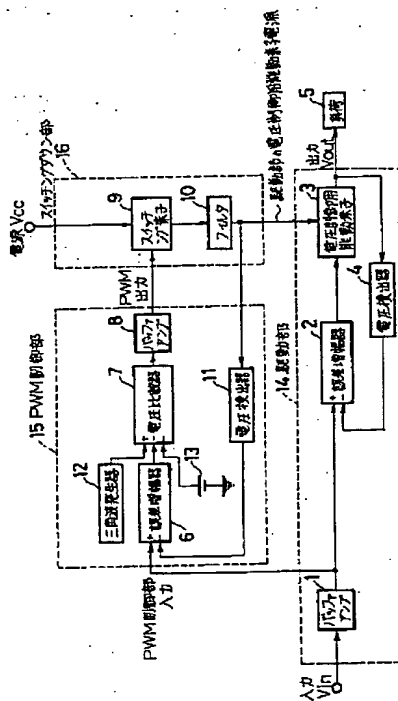
松下通信工業株式会社内

(54)【発明の名称】低損失駆動回路

(57)【要約】

【目的】 駆動回路に供給される電源電圧を最適な値に減電圧することによって終段の電力損失を低減させる。

【構成】 入力電圧 V_{in} に比例した電圧を発生させて負荷を駆動する駆動部14と、この駆動部14の終段の電圧制御用能動素子3の電源に電源を供給する電源回路のスイッチングダウン部16と、駆動部14の駆動回路への供給電源電圧を入力電圧 V_{in} に応じて負荷5に供給される出力電圧 V_{out} が飽和しない範囲で最小電圧になるように、スイッチングダウン部16の電源回路を制御するPWM制御部15から構成される。



【特許請求の範囲】

【請求項 1】 入力電圧に比例した電圧を発生させ、片極性の電圧を負荷に印加して前記負荷を駆動する回路を有する駆動部と、電源より前記駆動部の駆動回路への供給電圧をスイッチング素子を用いて供給する電源回路を有するスイッチングダウン部と、前記駆動部における駆動回路への入力電圧に応じて前記スイッチングダウン部の電源回路からの供給電圧を決定し、前記駆動回路の終段の電源に供給される電圧を検出して、前記負荷に最適な電圧を供給するように、前記スイッチングダウン部の電源回路を制御する PWM 信号を出力する回路を有する PWM 制御部とを有することを特徴とする低損失駆動回路。

【請求項 2】 前記駆動回路を有する駆動部は、前記負荷に印加される出力電圧を入力電圧に対して遅延させる回路を有することを特徴とする請求項 1 記載の低損失駆動回路。

【請求項 3】 前記遅延回路は、前記入力電圧を A/D 変換する回路と、前記 A/D 変換されたデータを記憶するメモリ回路と、前記記憶されたデータを元のアナログ信号に D/A 変換する回路と、前記メモリ回路へのデータ入出力を制御する回路とを有することを特徴とする請求項 1 または 2 記載の低損失駆動回路。

【請求項 4】 入力電圧に比例した両極性の電圧を負荷に印加して前記負荷を駆動する 2 組の O T L 回路を有する駆動部と、電源より前記 2 組の O T L 回路への供給電圧をスイッチング素子を用いて供給する電源回路を有するスイッチングダウン部と、前記入力電圧から基準電圧に対して正極性側に整流を行う全波整流器と、前記入力電圧と前記全波整流器の整流出力から、前記駆動部の 2 組の O T L 回路の入力電圧を決定し、制御する 2 組の誤差増幅器および電圧検出器と、前記入力電圧から生成される前記全波整流器の整流出力に応じて供給電圧を決定し、前記駆動部の終段の電源に供給される電圧を検出して最適な電圧を供給するように、前記スイッチングダウン部の電源回路を制御する PWM 信号を出力する回路を有する PWM 制御部とを有することを特徴とする低損失駆動回路。

【請求項 5】 前記入力電圧と前記全波整流器の整流出力から、前記駆動部の 2 組の O T L 回路の入力電圧を決定し、制御する 2 組の誤差増幅器および電圧検出器の構成において、前記 2 組の電圧検出器を、差動で検出する 1 つの電圧検出器で構成したことを特徴とする請求項 4 記載の低損失駆動回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、例えばオーディオアンプのスピーカやモータなどの負荷に電圧を供給する低損失駆動回路に関するものである。

【0002】

【従来の技術】図 6 は従来のオーディオアンプのスピーカなどの負荷に電圧を供給する駆動回路の構成を示すブロック図である。これは、スピーカやモータなどの負荷 5 の駆動部 14 で、入力電圧 V_{in} をバッファアンプ 1 を介して誤差増幅器 2 に入力し、負荷 5 を駆動する出力電圧 V_{out} を電圧検出器 4 によって検出し、この検出電圧を基にして誤差分を増幅し、出力電圧 V_{out} を制御する電圧制御用能動素子 3 に入力する。そして、この出力電圧 V_{out} が入力電圧 V_{in} に比例した電圧になるように制御する。このときの負荷 5 は出力電圧 V_{out} とグランド間に接続され、片電源(この場合、DC の電源 V_{cc} と同極性)の電圧が負荷 5 へ供給される。

【0003】

【発明が解決しようとする課題】しかしながら、前記図 6 に示した従来の駆動回路は、電圧制御用能動素子 3 によって、駆動部 14 に供給される電源電圧 V_{cc} から負荷 5 に印加する電圧を発生させる。この場合に、電圧制御用能動素子 3 は負荷 5 に対する印加電圧と電源電圧 V_{cc} との差分による電圧降下が発生し、その電圧制御用能動素子 3 に流れる電流とによって電力損失を生じさせる。この電力損失は、駆動回路の消費電力を増加させ、熱エネルギーとして変換され、駆動回路またはそのシステムを高温化させるという問題があった。

【0004】本発明はこのような問題を解決し、負荷を駆動する場合に駆動回路で消費される電力損失を低減させ、駆動回路よりの発熱を抑え、トータル的に電力損失、発熱を抑える低損失駆動回路の提供を目的とするものである。

【0005】

【課題を解決するための手段】本発明は、上記目的を達成するために、第 1 の手段は、入力電圧に比例した電圧を発生させ、片極性の電圧を負荷に印加して前記負荷を駆動する回路を有する駆動部と、電源より前記駆動部の駆動回路への供給電圧をスイッチング素子を用いて供給する電源回路を有するスイッチングダウン部と、前記駆動部における駆動回路への入力電圧に応じて前記スイッチングダウン部の電源回路からの供給電圧を決定し、前記駆動回路の終段の電源に供給される電圧を検出して、前記負荷に最適な電圧を供給するように、前記スイッチングダウン部の電源回路を制御する PWM 信号を出力する回路を有する PWM 制御部とを有することを特徴とする。

【0006】また前記駆動回路を有する駆動部は、前記負荷に印加される出力電圧を入力電圧に対して遅延させる回路を有する。

【0007】また本発明の第 2 の手段は、入力電圧に比例した両極性の電圧を負荷に印加して前記負荷を駆動する 2 組の O T L 回路を有する駆動部と、電源より前記 2 組の O T L 回路への供給電圧をスイッチング素子を用いて供給する電源回路を有するスイッチングダウン部と、

前記入力電圧から基準電圧に対して正極性側に整流を行う全波整流器と、前記入力電圧と前記全波整流器の整流出力から、前記駆動部の2組のOTL回路の入力電圧を決定し、制御する2組の誤差増幅器および電圧検出器と、前記入力電圧から生成される前記全波整流器の整流出力に応じて供給電圧を決定し、前記駆動部の終段の電源に供給される電圧を検出して最適な電圧を供給するように、前記スイッチングダウン部の電源回路を制御するPWM信号を出力する回路を有するPWM制御部とを有することを特徴とする。

【0008】また前記2組の電圧検出器を、差動で検出する1つの電圧検出器で構成するものである。

【0009】

【作用】本発明によれば、駆動部は入力電圧に比例した電圧を負荷に印加して負荷を駆動させ、スイッチングダウン部は、DC電源より駆動部へ電源を供給し、電圧を降下させて駆動部の電圧制御用能動素子の電源を供給し、スイッチング素子を用いて電源の電圧をスイッチングし、リップル分が一定以下になるよう除去し、電圧降下を発生させる。

【0010】また、スイッチングダウン部は、駆動部の電圧制御用能動素子に対して負荷に印加されるべき電圧に電圧制御用能動素子の必要で最小の電圧降下分とスイッチングのリップル分を加算した電圧が供給されるようにPWM制御部において決定され、スイッチングダウン部は制御信号としてPWM制御部のPWM出力のパルス信号で制御される。

【0011】また、PWM制御部は、駆動部の電圧制御用能動素子電源の電圧を監視し、目標電圧値になるように負帰還をかける。上述のスイッチングダウン部の電圧降下量を決定するための負荷に印加されるべき電圧は入力電圧から求め、駆動部の電圧制御用能動素子電源の目標電圧は、入力電圧に電圧制御用能動素子の必要で最小の電圧降下分とスイッチングのリップル分を加算した電圧とする。

【0012】そして、PWM制御部は、入力電圧と電圧制御用能動素子電源の検出電圧との誤差電圧分を検出し、さらにこの誤差電圧に降下分加算電圧を加え、駆動部の電圧制御用能動素子電源の目標電圧として決定し、この目標電圧値に対してパルス幅変調(PWM変調)をしてPWM出力を得る。

【0013】以上のように、本発明による低損失駆動回路においては、駆動部の電圧制御用能動素子に対して変化する入力電圧に応じて最小の必要電圧を供給することによって、電圧制御用能動素子の電力損失を従来の一定電圧を供給する手段に比べ低減することができ、また電圧を供給する手段としてスイッチング素子を利用することで付加回路による電力損失を抑えることができるため、トータルの電力損失の低減を可能とする。

【0014】

【実施例】図1は本発明の第1の実施例における低損失駆動回路の構成を示すブロック図であり、前記従来例の図6と同じ構成ブロックには同じ符号を付し、その説明を省略する。

【0015】本実施例は、図1に示すように駆動部14、PWM制御部15およびスイッチングダウン部16からなる。ここで、駆動部14は前記図6の構成と同じである。PWM制御部15は、誤差増幅器6、電圧比較器7、バッファアンプ8、電圧検出器11、三角波発生器12および降下分加算電圧基準電源13からなる。また、スイッチングダウン部16はスイッチング素子9とフィルタ10よりなる。

【0016】次に図1の動作を説明すると、入力電圧 V_{in} はバッファアンプ1を介して駆動部14およびPWM制御部15の各誤差増幅器2および6にそれぞれ入力される。負荷5を駆動する出力電圧 V_{out} を電圧検出器4によって検出し、誤差増幅器2に入力され誤差分を増幅し、出力電圧 V_{out} を制御する電圧制御用能動素子3に入力され、出力電圧 V_{out} が入力電圧 V_{in} に比例した電圧になるように制御される。このとき負荷5は出力電圧 V_{out} とグラウンド間に接続され、片電源(この場合、DCの電源 V_{cc} と同極性)の電圧が供給される。

【0017】スイッチングダウン部16はDCの電源 V_{cc} より駆動部14へ電源を供給する回路で、電圧を降下させて駆動部14の電圧制御用能動素子3の電源に供給し、スイッチング素子9を用いて電源の電圧をスイッチングし、フィルタ10を用いてリップル分が一定以下になるよう除去し、結果的にスイッチング素子9のオン/オフ時間に応じて電圧降下の量が決定される。

【0018】スイッチングダウン部16は、駆動部14の電圧制御用能動素子3に対して負荷5に印加すべき電圧に、電圧制御用能動素子3の必要で最小の電圧降下分 V_q とスイッチングのリップル分 V_r を加算した電圧 V_c が供給されるようにPWM制御部15において決定され、制御信号としてPWM制御部15のPWM出力で制御される。

【0019】PWM制御部15は、駆動部14の電圧制御用能動素子電源の電圧を電圧検出器11によって監視し、目標電圧値になるように誤差増幅器6を介して入力電圧 V_{in} と電圧制御用能動素子電源の検出電圧との誤差電圧分として負帰還をかける。

【0020】スイッチングダウン部16の電圧降下量を決定するための負荷に印加すべき電圧は入力電圧 V_{in} から求め、駆動部14の電圧制御用能動素子電源の目標電圧 V_c は入力電圧 V_{in} に、電圧制御用能動素子3の最大の電圧降下分 V_q とスイッチングのリップル分 V_r を加算した電圧を降下分加算電圧基準電源13として加算し、駆動部14の電圧制御用能動素子電源の電圧の目標電圧 V_c として決定する。

【0021】この目標電圧 V_c を三角波発生器12、電圧

比較器 7, バッファアンプ 8 を用いてパルス幅変調 (PWM 変調) をして PWM 出力を得る。上述の電圧制御用能動素子電源の電圧の目標電圧を V_c として、駆動部 14 の増幅度を 1 倍とした場合を (数 1) で表す。

【0022】

$$\text{【数 1】 } V_c = V_{in} + V_q + V_r$$

図 2 は本発明の第 2 の実施例における低損失駆動回路の構成を示すブロック図であり、前記第 1 の実施例とは、出力電圧 V_{out} を入力電圧 V_{in} に対して遅らせる遅延回路 21 を有する点が異なる。

【0023】これは、第 1 の実施例の図 1 の場合、スイッチングダウン部 16 のフィルタ 10 においてフィルタ効果を十分に得ることにより応答性が悪化する場合が発生することがあるため、これを改善するために駆動部 14 の電圧制御用能動素子 3 に供給する電圧のタイミングを出力電圧 V_{out} に対して先行させる。実際には、逆に出力電圧 V_{out} のタイミングを遅らせて応答性の悪化を改善することを目的とするものである。

【0024】なお、遅延回路 21 は、A/D コンバータ 17, メモリ制御回路 18, D/A コンバータ 19 およびメモリ回路 20 よりなる。

【0025】次に図 2 の動作を説明すると、入力電圧 V_{in} は、バッファアンプ 1 を介して A/D コンバータ 17 に入力され、デジタル化されたデータはメモリ制御回路 18 によってメモリ回路 20 に記憶され、一定時間経過後、メモリ回路 20 よりメモリ制御回路 18 によって読み出され D/A コンバータ 19 に入力され、入力電圧 V_{in} を遅延させた信号を生成する。これは、さらに誤差増幅器 2 に入力され、電圧制御用能動素子 3 に印加され、出力電圧 V_{out} を入力電圧 V_{in} の信号に対して遅延させることができる。駆動部の電圧制御用能動素子電源の電圧の目標電圧 V_c は前記 (数 1) と同じである。

【0026】このように、電圧制御用能動素子 3 に供給する DC の電源電圧 V_{cc} から出力電圧 V_{out} のタイミングを遅らせることによって、図 1 と同じ構成のスイッチングダウン部 16 のフィルタ 10 の応答性の遅れの影響を減少させる効果がある。

【0027】図 3 は本発明の第 3 の実施例における低損失駆動回路の構成を示すブロック図であり、前記図 1, 図 2 と同じ構成ブロックには同じ符号を付し、その説明を省略する。

【0028】前記第 1 および第 2 の実施例においては、負荷 5 に対して片極性の電圧を印加して駆動させるのに対して、本実施例は、負荷 5 に対して両極性の電圧を印加して駆動させることを目的とする。本実施例は、入力電圧 V_{in} を受けるバッファアンプ 1 と、その出力を基準電圧 V_{ref} を基準に正極性側に全波整流する全波整流器 26 と、その出力から PWM 出力を生成する PWM 制御部 15 と、PWM 出力信号を利用して DC の電源電圧 V_{cc} から駆動部の電圧制御用能動素子電源を供給するスイッ

ングダウン部 16 と、負荷を駆動する 2 組の O T L (Output Transless) 回路 35, 36 と、出力電圧 V_a , V_b を検出する 2 組の電圧検出器 24, 25 と、入力電圧 V_{in} および全波整流器 26 の出力および基準電圧 V_{ref} および前記 2 組の電圧検出器 24, 25 からの入力に基づき、前記 2 組の O T L 回路 35, 36 の入力電圧を決定する 2 組の誤差増幅器 22, 23 からなる。なお、PWM 制御部 15 およびスイッチングダウン部 16 の構成・動作は前記第 1 の実施例と同じである。また、前記 2 組の誤差増幅器 22, 23 の各出力電圧 V_a , V_b は駆動部の増幅度が 1 倍の場合に (数 2), (数 3) で示すように決定される。

【0029】

$$\text{【数 2】 } V_a = 1/2 \times (V_{in} - V_{ref}) + 1/2 \times V_c$$

【0030】

$$\text{【数 3】 } V_b = -1/2 \times (V_{in} - V_{ref}) + 1/2 \times V_c$$

さらに、駆動部 14 の電圧制御用能動素子電源の目標電圧 V_c は (数 4) で示される。

【0031】

$$\text{【数 4】 } V_c = |V_{in} - V_{ref}| + 2(V_1 + V_2) + V_r$$

ここで、 V_1 は PNP トランジスタ 28, 30 のオン電圧、 V_2 は NPN トランジスタ 27, 29 のオン電圧を表す。

【0032】本実施例は、駆動部 14 の電圧制御用能動素子電源の電圧を入力電圧 V_{in} に応じて可変させながら負荷 5 の両極性駆動を可能にし、第 1 の実施例の電圧制御用能動素子 3 は、第 3 の実施例の O T L 回路 35, 36 のトランジスタ 27, 28, 29, 30 に相当し、この電力損失を第 1 の実施例と同様に低減させることができ、全体の電力損失も低減させる効果がある。

【0033】図 4 は本発明の第 4 の実施例における低損失駆動回路の構成を示すブロック図であり、前記図 3 と同じ構成ブロックには同じ符号を付し、その説明を省略する。

【0034】前記第 3 の実施例と異なる点は、2 組の電圧検出器 24, 25 を用いる代わりに差動で検出する 1 つの電圧検出器 37 を有する回路から構成される。

【0035】この電圧検出器 37 は、駆動回路の出力電圧 V_a および V_b の電圧差を検出し、誤差増幅器 22, 23 に負帰還をかけ、出力電圧 V_a , V_b を補正する。この回路は、O T L 回路 35, 36 のトランジスタ 28, 30 またはトランジスタ 27, 29 が飽和しても、グランド側に対して電源側が、あるいは電源側に対してグランド側が飽和しない限り、出力電圧 V_a と出力電圧 V_b の差分の電圧を上げることにより補正ができる。これは、駆動部の電圧制御用能動素子電源の目標電圧の設定値を若干であるが、低く抑えることができる。これにより、第 3 の実施例で得られる効果以上に電力損失の低減が可能で、かつ出力の歪を補正できる効果がある。

【0036】図 5 は前記図 1 ないし図 4 のスイッチングダウン部の回路例を示し、31 はスイッチング用の PNP トランジスタであり、図 5 に示すようにエミッタに DC

の電源電圧 V_{cc} が、ベースにスイッチング制御電圧入力、コレクタにインダクタ33を介して電圧制御用能動素子電源が接続される。そして、前記インダクタ33の両端にダイオード32、コンデンサ34の一端が接続され、他端はグランドされた接続構成となっている。

【0037】これは、PWM制御部15からのスイッチング制御電圧入力(PWM出力)に基づき、PNPトランジスタ31がオン/オフし、DCの電源電圧 V_{cc} をインダクタ33を介して電圧制御用能動素子電源とするものである。

【0038】

【発明の効果】以上説明したように、本発明の低損失駆動回路は、オーディオアンプのスピーカやモータの駆動回路において、駆動回路の終段の電圧制御用能動素子に印加する電源の電圧が負荷を駆動するために必要な電圧にすることによって、終段の電力損失を低減させることができる。さらに、電源電圧をスイッチングして終段の電圧制御用能動素子に印加する電源の電圧を生成し、この電源の電圧を生成する回路による電力損失を含め、トータル的に電力損失を低減できる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における低損失駆動回路の構成を示すブロック図である。

【図2】本発明の第2の実施例における低損失駆動回路の構成を示すブロック図である。

【図3】本発明の第3の実施例における低損失駆動回路の構成を示すブロック図である。

【図4】本発明の第4の実施例における低損失駆動回路の構成を示すブロック図である。

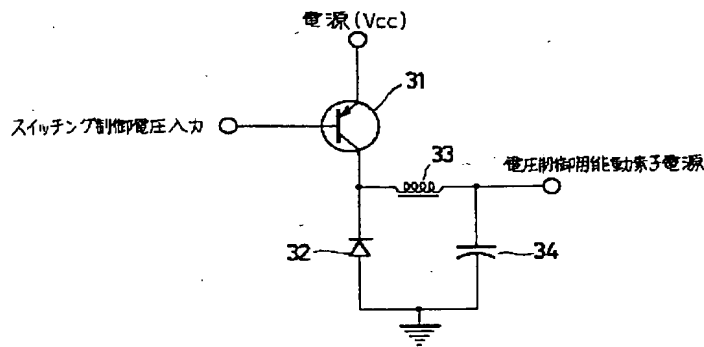
【図5】図1ないし図4のスイッチングダウン部の回路例を示す図である。

【図6】従来のオーディオアンプのスピーカなどの駆動回路の構成を示すブロック図である。

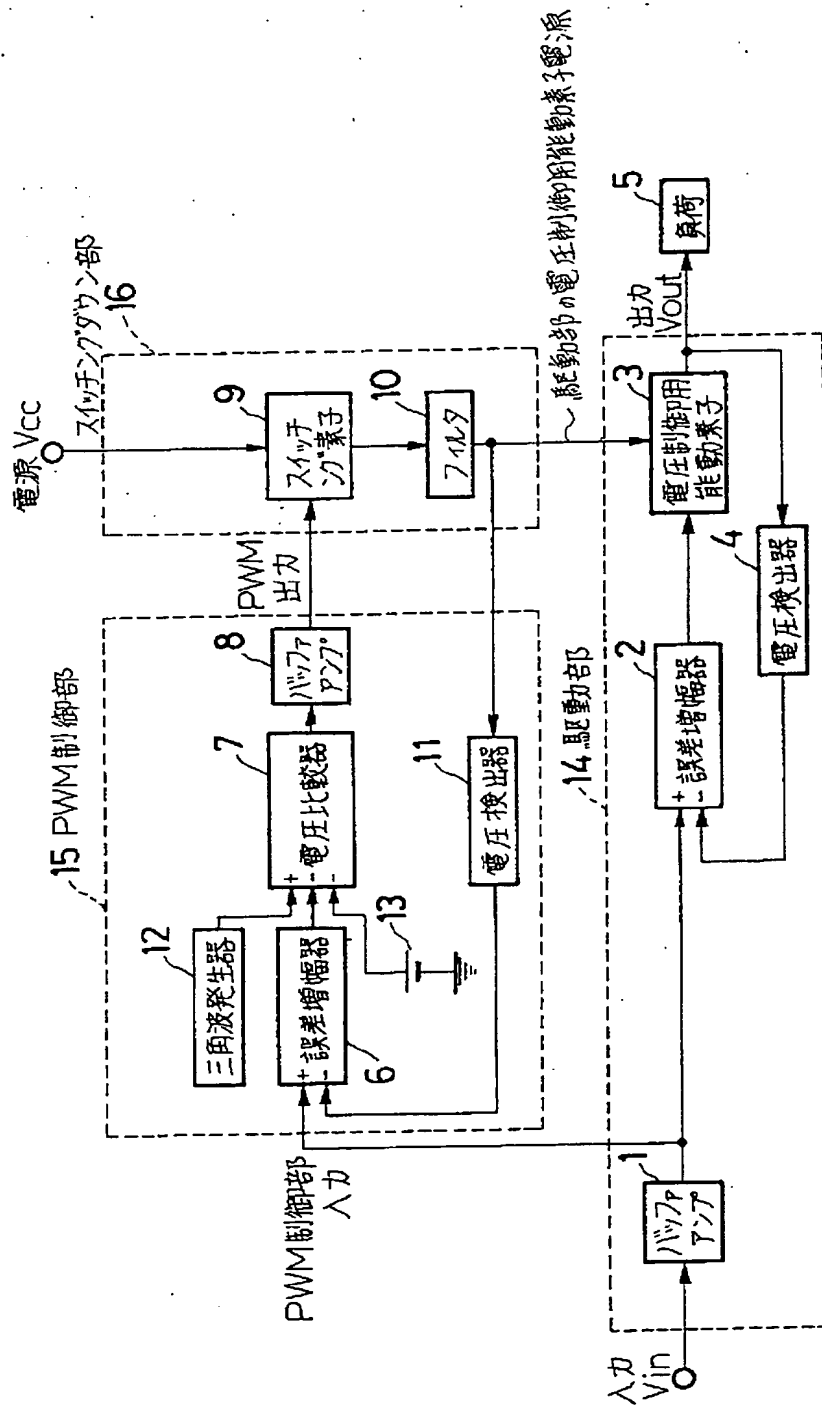
【符号の説明】

1, 8…バッファアンプ、 2, 6, 22, 23…誤差増幅器、 3…電圧制御用能動素子、 4, 11, 24, 25, 37…電圧検出器、 5…負荷、 7…電圧比較器、 9…スイッチング素子、 10…フィルタ、 12…三角波発生器、 13…降下分加算電圧基準電源、 14…駆動部、 15…PWM制御部、 16…スイッチングダウン部、 17…A/Dコンバータ、 18…メモリー制御回路、 19…D/Aコンバータ、 20…メモリー回路、 21…遅延回路、 26…全波整流器、 27, 29…NPNトランジスタ、 28, 30…PNPトランジスタ、 31…PNPトランジスタ(スイッチング用)、 32…ダイオード、 33…インダクタ、 34…コンデンサ、 35, 36…OTL回路。

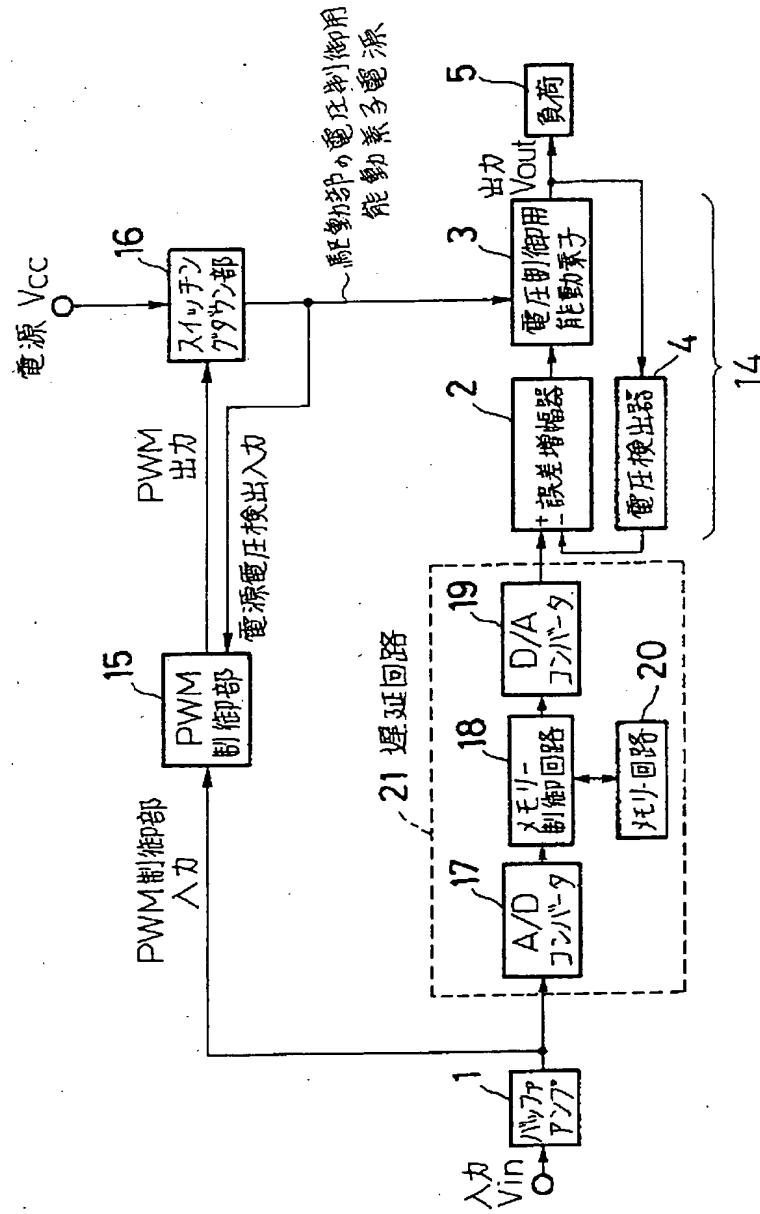
【図5】



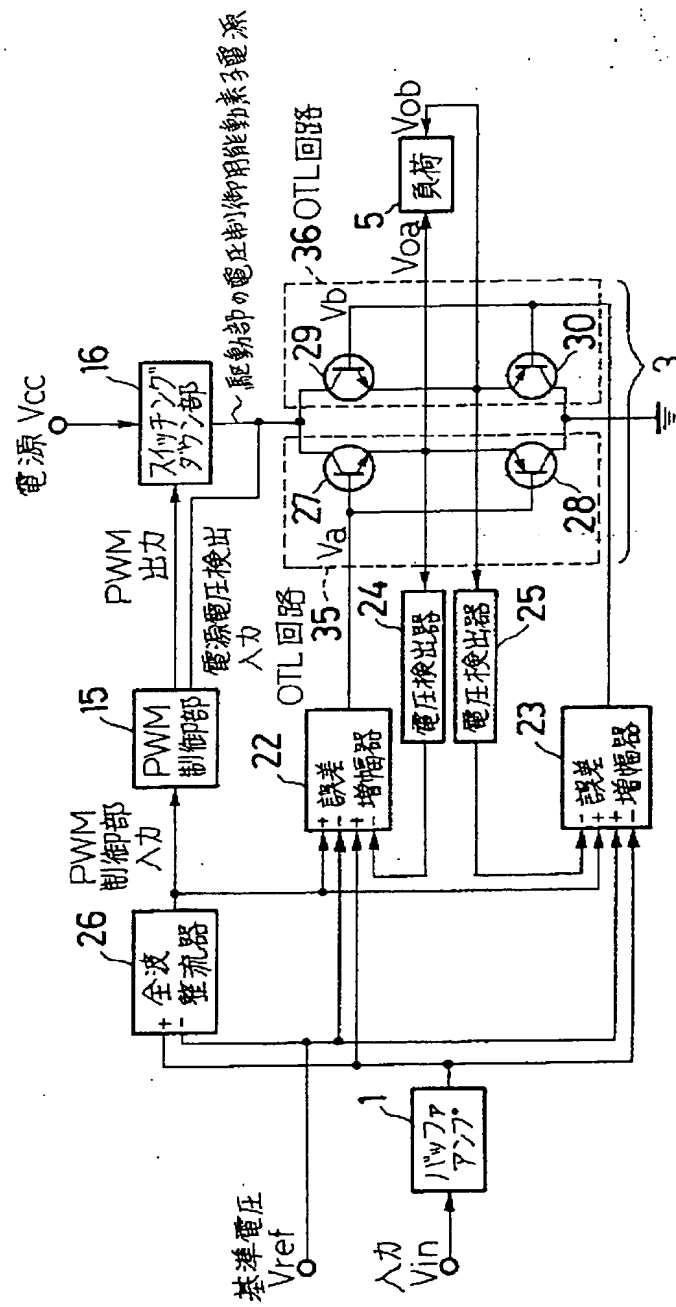
【図 1】



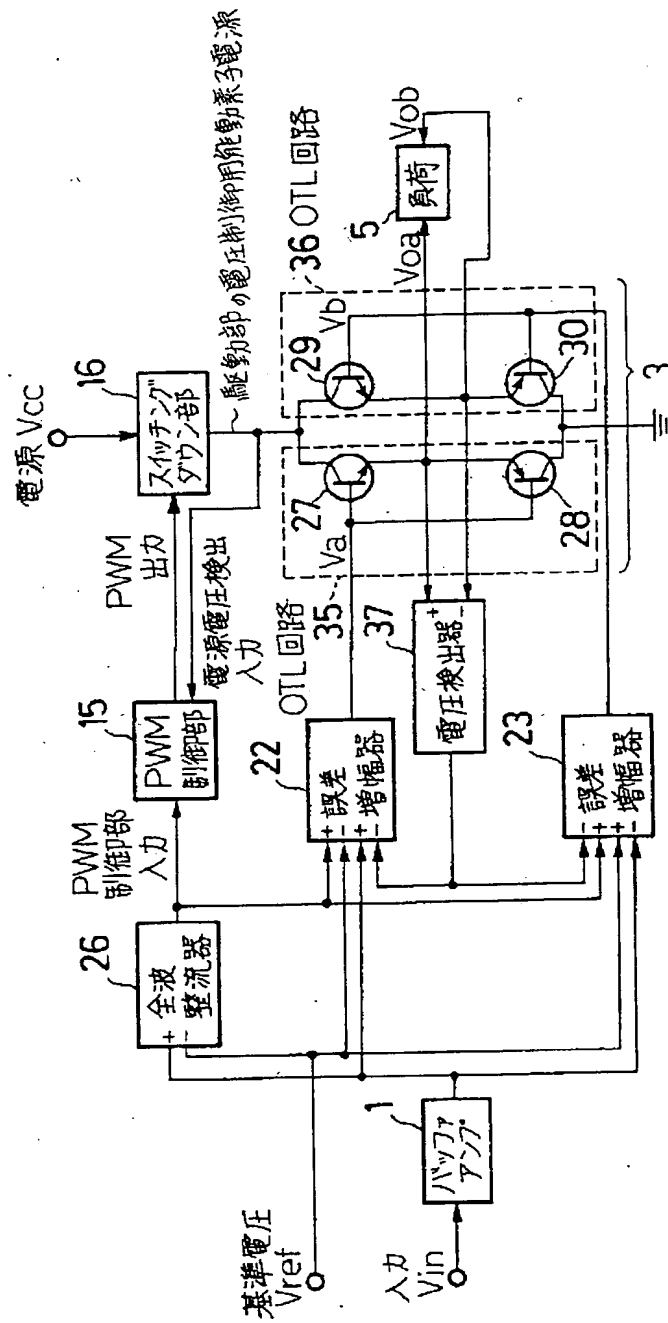
【図2】



【図3】



【図 4】



【図6】

